

METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY ELEMENT AND LIQUID CRYSTAL DISPLAY DEVICE

Publication Number: 2001-042286 (JP 2001042286 A) , February 16, 2001

Inventors:

- MASAZUMI NAOKI

Applicants

- MINOLTA CO LTD

Application Number: 11-212349 (JP 99212349) , July 27, 1999

International Class:

- G02F-001/133
- G09G-003/20
- G09G-003/36

Abstract:

PROBLEM TO BE SOLVED: To provide a driving method and a liquid crystal display device permitting to set voltage to be applied to reset liquid crystal at a low level and a permitting the breakdown strength of a driving circuit also at a low level in the liquid crystal display element using a chiral-nematic liquid crystal. **SOLUTION:** When driving the chiral-nematic liquid crystal, widths 200, 201 of 1st reset pulse signals for resetting the liquid crystal to a homeotropic state are set wider than those of selection pulse signals 206, 207 to set the liquid crystal to a planar state. Moreover, the voltage value V1 of the 1st reset pulse signals is set equal to the voltage V3 of the selection pulse signals 206, 207. **COPYRIGHT:** (C)2001,JPO

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 6814793

504p0096w000

(19) 日本国特許庁 (J P)

公開特許公報 (A)

特許出願公開番号

特開2001-42286

(P 2 0 0 1 - 4 2 2 8 6 A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G02F 1/133	545	G02F 1/133	545 2H093
G09G 3/20	621	G09G 3/20	621 H 5C006
3/36		3/36	5C080

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号	特願平11-212349	(71) 出願人	000006079 ミノルタ株式会社 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
(22) 出願日	平成11年7月27日 (1999.7.27)	(72) 発明者	将積 直樹 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル ミノルタ株式会社内
		(74) 代理人	100091432 弁理士 森下 武一

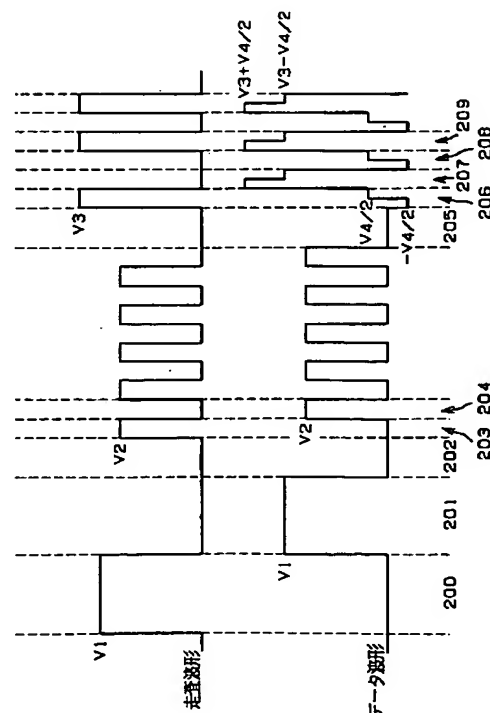
最終頁に続く

(54) 【発明の名称】 液晶表示素子の駆動方法及び液晶表示装置

(57) 【要約】

【課題】 カイラルネマティック液晶を用いた液晶表示素子において、液晶をリセットするための印加電圧を低く設定でき、駆動回路の耐圧を低くできる駆動方法及び液晶表示装置を得る。

【解決手段】 カイラルネマティック液晶を駆動する際、液晶をホメオトロピック状態にリセットする第1のリセットパルス信号の幅を、液晶をプレーナ状態にセットする選択パルス信号の幅よりも大きく設定する。また、第1のリセットパルス信号の電圧値を選択パルス信号の電圧値と等しく設定する。



【特許請求の範囲】

【請求項 1】 カイラルネマティック液晶を用いた液晶表示素子の駆動方法において、

前記液晶に第 1 のリセットパルス信号を印加してホメオトロピック状態にリセットした後に、第 2 のリセットパルス信号を印加してフォーカルコニック状態にリセットし、さらに、選択パルス信号を印加して所望の画素をプレーナ状態にセットする際に、前記第 1 のリセットパルス信号の幅が前記選択パルス信号の幅よりも大きく設定されていること、

を特徴とする液晶表示素子の駆動方法。

【請求項 2】 前記第 1 のリセットパルス信号の電圧値と前記選択パルス信号の電圧値とが等しいことを特徴とする請求項 1 記載の液晶表示素子の駆動方法。

【請求項 3】 前記液晶表示素子はメモリ性を有していることを特徴とする請求項 1 又は請求項 2 記載の液晶表示素子の駆動方法。

【請求項 4】 カイラルネマティック液晶を用いた液晶表示素子と、

前記液晶に第 1 のリセットパルス信号を印加してホメオトロピック状態にリセットした後に、第 2 のリセットパルス信号を印加してフォーカルコニック状態にリセットし、さらに、選択パルス信号を印加して所望の画素をプレーナ状態にセットする際に、前記第 1 のリセットパルス信号の幅が前記選択パルス信号の幅よりも大きく設定されている制御手段と、

を備えたことを特徴とする液晶表示装置。

【請求項 5】 前記液晶表示素子は、カイラルネマティック液晶をそれぞれ複数の帯状電極が形成された一対の基板間に挟持してなり、

前記制御手段は、各基板の各電極に順次電圧を印加する単純マトリクス駆動するものであること、

を特徴とする請求項 4 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示素子の駆動方法及び液晶表示装置、特に、カイラルネマティック液晶を用いた液晶表示素子の駆動方法及び液晶表示装置に関する。

【0002】

【発明の背景】 近年、カイラルネマティック液晶を用いた液晶表示素子が、表示装置の軽量化、薄型化、省エネルギー化、駆動の簡易化等の利点によって注目されている。しかし、カイラルネマティック液晶は固有のヒステリシス現象を有していることが知られている。

【0003】 そこで、発明者らは、カイラルネマティック液晶のヒステリシス現象の影響による問題が生じないようにするためには、その駆動に際して、液晶に第 1 のリセットパルス信号を印加してホメオトロピック状態にリセットした後に、第 2 のリセットパルス信号を印加し

てフォーカルコニック状態にリセットし、さらに、選択パルス信号を印加して所望の画素をプレーナ状態にセットする新規な駆動方法を提案した（特願平 10-132012 号参照）。

【0004】 本発明は、前記駆動方法においてより容易に駆動が行えるように改善を図ったものであり、その目的は、カイラルネマティック液晶をリセットするための印加電圧を低く設定でき、駆動回路の耐圧を低くできる駆動方法及び液晶表示装置を提供することにある。

10 【0005】 本発明の他の目的は、前記目的に加えて、電源回路を簡略化できる駆動方法及び液晶表示装置を提供することにある。

【0006】

【発明の構成、作用及び効果】 以上の目的を達成するため、本発明に係る液晶表示素子の駆動方法は、カイラルネマティック液晶に第 1 のリセットパルス信号を印加してホメオトロピック状態にリセットした後に、第 2 のリセットパルス信号を印加してフォーカルコニック状態にリセットし、さらに、選択パルス信号を印加して所望の画素をプレーナ状態にセットする際に、前記第 1 のリセットパルス信号の幅を前記選択パルス信号の幅よりも大きく設定することを特徴とする。

【0007】 第 1 のリセットパルス信号では液晶をホメオトロピック状態にするために通常選択パルス信号よりも大きなエネルギーを持つパルス信号が必要とされる。本発明においては、液晶をホメオトロピック状態にリセットする第 1 のリセットパルス信号の幅を、液晶をプレーナ（選択反射）状態にセットする選択パルス信号の幅よりも大きく設定したため、第 1 のリセットパルス信号の電圧値は選択パルス信号の電圧値よりも低くて済む。従って、駆動回路の耐圧は選択パルス信号の電圧値に対応して設定すればよく、駆動回路を簡略化できる。なお、液晶をフォーカルコニック状態にリセットする第 2 のリセットパルス信号は本来的に電圧値が低く、駆動回路の耐圧設計にはことさら考慮する必要はない。

【0008】 さらに、本発明に係る駆動方法においては、前記第 1 のリセットパルス信号の電圧値と前記選択パルス信号の電圧値とを等しく設定することが好ましい。両者の電圧値を等しく設定すれば、両者の電源を共通化でき、電源回路の簡略化が可能になる。

【0009】 前記液晶表示素子はメモリ性を有するものとしてもよく、その場合にもヒステリシス現象による影響のない良好な表示を行うことができる。

【0010】 さらに本発明に係る液晶表示素子は、カイラルネマティック液晶を用いた液晶表示素子と、前記液晶に第 1 のリセットパルス信号を印加してホメオトロピック状態にリセットした後に、第 2 のリセットパルス信号を印加してフォーカルコニック状態にリセットし、さらに、選択パルス信号を印加して所望の画素をプレーナ状態にセットする際に、前記第 1 のリセットパルス信号

の幅が前記選択パルス信号の幅よりも大きく設定されている制御手段とを備えたことを特徴とする。

【0011】以上の構成からなる液晶表示装置においては、第1のリセットパルス信号の電圧値は選択パルス信号の電圧値よりも低くて済み、駆動回路を簡略化できる。

【0012】前記液晶表示装置において、液晶表示素子はカイラルネマティック液晶をそれぞれ複数の帯状電極が形成された一対の電極間に挟持してなり、制御手段は各基板の各電極に順次電圧を印加する単純マトリクス駆動としてもよい。単純マトリクス駆動を行うことで、装置の構成を簡素化することができる。

【0013】

【発明の実施の形態】以下、本発明に係る液晶表示素子の駆動方法及び液晶表示装置の実施形態について、添付図面を参照して説明する。

【0014】(液晶表示素子) まず、本発明に係る駆動方法の対象となる液晶表示素子の一例を図1に示す。この液晶表示素子10は、赤色の選択反射と透明状態の切り換えにより表示を行う赤色表示層11Rと、緑色の選択反射と透明状態の切り換えにより表示を行う緑色表示層11Gと、青色の選択反射と透明状態の切り換えにより表示を行う青色表示層11Bを積層したもので、最下層には光吸収層19が配置されている。

【0015】各表示層11R, 11G, 11Bは、それぞれ透明電極13, 14を形成した透明基板12間に樹脂製柱状構造物15及び液晶16を挟持したものである。また、透明電極13, 14上には図示しない配向制御膜あるいは絶縁膜を設けたり、スペーサ粒子を散布してもよい。

【0016】液晶16としては、室温でコレステリック相を示すカイラルネマティック液晶を使用する。カイラルネマティック液晶はネマティック液晶にカイラル材を添加することによって得られる。カイラル材は、ネマティック液晶に添加された場合にネマティック液晶の分子をねじる作用を有し、添加量を調整することで液晶の選択反射波長が制御される。

【0017】この液晶表示素子10において、各表示層11R, 11G, 11Bの透明電極13, 14はそれぞれ駆動回路20(以下に詳述する)に接続されており、透明電極13, 14の間にそれぞれ所定電圧のパルス信号が印加される。この印加電圧に応答して、液晶16が可視光を透過する透明状態(フォーカルコニック状態)と、可視光を選択的に反射する選択反射状態(プレーナ状態)との間で表示が切り換えられる。

【0018】透明電極13, 14は、それぞれ微細な間隔を保って平行に並べられた複数の帯状電極からなり、その帯状に並ぶ向きが互いに直角方向となるように対向させてある。即ち、各液晶16に対してマトリクス状に順次電圧が印加されて表示が行われる。このようなマト

リクス駆動を各表示層11R, 11G, 11Bごとに順次又は同時に行うことにより、液晶表示素子10にフルカラー画像を表示する。

【0019】光吸収層19を観察する方向(矢印A方向)に対して最下層に設けることにより、各表示層11R, 11G, 11Bを透過した光は全て光吸収層19によって吸収される。即ち、各表示層の全てが透明状態であれば黒色の表示となる。

【0020】カイラルネマティック液晶を用いた表示層11R, 11G, 11Bにおいて、液晶の選択反射波長が可視光領域にある場合、液晶分子のヘリカル軸が基板面に対してほぼ平衡状態となったフォーカルコニック配列状態においては、入射した可視光に対して微弱な散乱を示すものの、ほぼ透過する透明状態となる。また、液晶分子のヘリカル軸が基板面に対してほぼ垂直状態となったプレーナ配列状態においては、入射した可視光に対してヘリカルピッチに対応した波長の光を選択的に反射する。これら二つの状態は所定の電圧を印加することによって切り換えることが可能であり、電圧の印加を停止しても各状態は保持される。即ち、メモリ性を有する。

【0021】以上の構成からなる液晶表示素子10は、青色表示層11B及び緑色表示層11Gを液晶がフォーカルコニック配列となった透明状態とし、赤色表示層11Rを液晶がプレーナ配列となった選択反射状態とすることにより、赤色表示を行うことができる。また、青色表示層11Bを液晶がフォーカルコニック配列となった透明状態とし、緑色表示層11G及び赤色表示層11Rを液晶がプレーナ配列となった選択反射状態とすることにより、イエローの表示を行うことができる。同様に、各表示層の状態を透明状態と選択反射状態とを適宜選択することにより、赤色、緑色、青色、白色、シアン、マゼンタ、イエロー、黒色等の表示が可能であり、さらに、各表示層の状態として中間の選択反射状態を選択することにより中間色の表示が可能であり、フルカラー表示素子として使用できる。

【0022】(駆動回路) 前記液晶表示素子10の各表示層における画素構成は単純マトリクスであり、図2に示す駆動回路20によって駆動される。この駆動回路20は、CPU100、アナログスイッチ101, 102、走査ドライバ回路105、データドライバ回路109、フォトブラ710からなる。

【0023】走査ドライバ回路105は、駆動電圧を切り換えるための高耐圧スイッチ103と走査波形を制御するためのロジック回路104とからなる。データドライバ回路109は、駆動電圧を切り換えるための高耐圧スイッチ107とデータ波形を制御するためのロジック回路108からなる。データドライバ回路109の高耐圧側の入力端子にはV4の電圧値が入力されるが、このV4の電圧を発生する電源は、データドライバ回路109のグランドに対して出力されるように構成されてい

る。

【0024】（駆動方法）前記液晶表示素子10の各液晶を駆動するには、まず、液晶のヒステリシス現象を消すために、液晶をホメオトロピック状態にリセットした後、フォーカルコニック状態にリセットし、さらに、所望の画素をプレーナ状態にセットする。以下に、駆動方法の第1及び第2実施形態について説明する。なお、前記電極13、14の一方を走査電極、他方をデータ電極と称する。

【0025】（第1実施形態）図3に、走査ドライバ回 10
（第1表）

	リセット期間 200	リセット期間 201	休止期間 202	リセット期間 203	リセット期間 204	休止期間 205	選択期間 206	選択期間 207	選択期間 208	選択期間 209
スイッチ 101	V1	V1	V2	V2	V2	V3	V3	V3	V3	V3
スイッチ 102	0	V1	0	0	V2	0	-V4/2	V3-V4/2	-V4/2	V3-V4/2
走査 ドライバ 出力 データ ドライバ 出力	V1	0	0	V2	0	0	V3	0	0	V3
	0	V1	0	0	V2	0	V4/2 or -V4/2	V3+V4/2 or V3-V4/2	V4/2 or -V4/2	V3+V4/2 or V3-V4/2

【0027】最初に、V1の電圧値を持つ第1のリセットパルス信号を印加する。このパルス信号により、カイラルネマティック液晶のねじれ構造は解かれ、ホメオトロピック状態になる。次に、V2の電圧値を持つ第2のリセットパルス信号を印加する。このパルス信号により、カイラルネマティック液晶はフォーカルコニック状態になる。

【0028】次に、表示すべき画素部分に選択パルス信号を印加する。このパルス信号の電圧値とパルス幅により、カイラルネマティック液晶の表示状態（プレーナ状態、フォーカルコニック状態又はこれらの中間状態）が決定される。ここでは、 $V4/2$ 、 $-V4/2$ 、 $V3+V4/2$ 、 $V3-V4/2$ の電圧を印加することにして

いる。
【0029】本第1実施形態では、リセット期間200、201に印加する第1のリセットパルス信号の幅を、選択期間206、207に印加する選択パルス信号の幅よりも長く設定する。このように設定することで、ホメオトロピック状態にリセットするためのリセットパルス信号の電圧値V1は、選択パルス信号の電圧値V3よりも低くなる。そのため、駆動回路20の耐圧はV3で済む。

【0030】（第2実施形態）図4に示すように、リセット期間200、201に印加する第1のリセットパルス信号の幅を十分に長くして、その電圧値V1と選択パルス信号の電圧値V3が同じになるようにする。その他の電圧波形は図3と同様である。このように設定しても、第1のリセットパルス信号の幅が十分に長い

路105から走査電極に出力される走査波形と、データドライバ回路109からデータ電極に出力されるデータ波形を示す。これらの駆動波形は、200～209の期間に分かれている。以下の第1表には、各期間にアナログスイッチ101、102が出力する電圧値と、走査ドライバ回路105とデータドライバ回路109が出力する電圧値を示す。

【0026】

【表1】

カイラルネマティック液晶に固有のヒステリシス現象をなくすることができる。この場合、用いる電源の種類は、V1とV3が共通化されるため、V1、V2、 $-V4/2$ 、 $V3-V4/2$ の4種類になり、電源回路を簡略化できる。

【0031】（他の実施形態）なお、本発明に係る液晶表示素子の駆動方法及び液晶表示装置は前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0032】特に、液晶表示素子の構成やその駆動回路は任意である。また、第1及び第2のリセットパルス信号や選択パルス信号は図3に示す電圧波形以外にも種々の波形を使用することができる。

【図面の簡単な説明】

【図1】本発明に係る駆動方法の対象となる液晶表示素子の一例を示す断面図。

【図2】前記液晶表示素子のマトリクス駆動回路を示すブロック図。

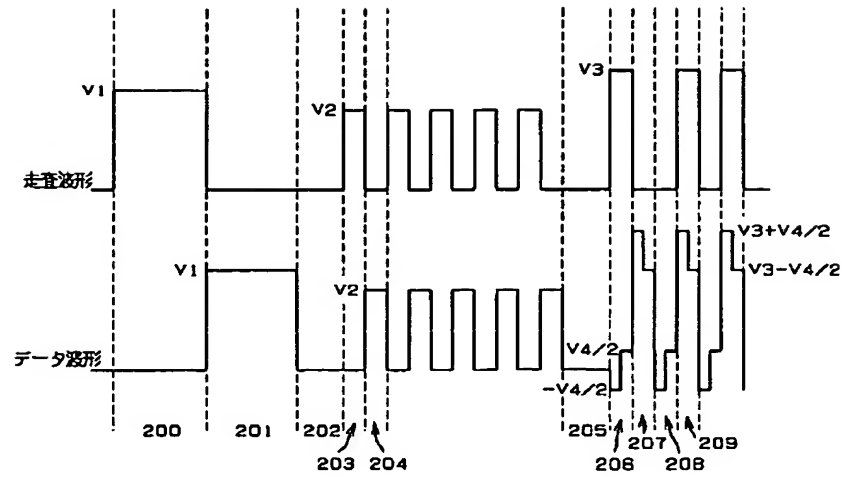
【図3】第1実施形態として使用されるパルス電圧波形を示すチャート図。

【図4】第2実施形態として使用されるパルス電圧波形を示すチャート図。

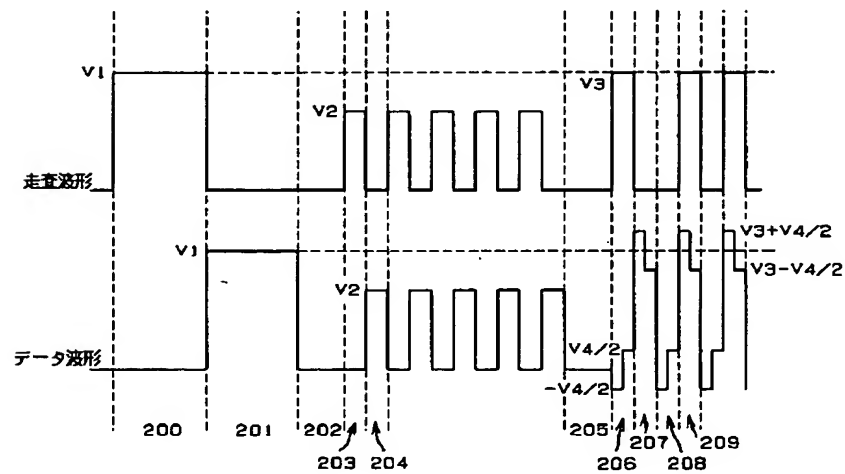
【符号の説明】

10…液晶表示素子
13、14…電極
16…液晶
20…駆動回路

【図3】



【図4】



フロントページの続き

Fターム(参考) 2H093 NA12 NA43 NA62 NB08 NB09
 NB10 NB12 NB13 NB14 NC21
 NC50 ND38 ND39 NF14 NH12
 5C006 AA22 AF51 BA11 BB08 BB12
 BF15 BF42 FA41 FA46
 5C080 AA10 BB05 CC03 DD22 FF03
 FF12 JJ02 JJ04 JJ06